

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267898

(P2001-267898A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 3 K 17/08

H 0 3 K 17/08

C 5 H 7 4 0

H 0 2 M 1/00

H 0 2 M 1/00

H 5 J 0 5 5

H 0 3 K 17/695

H 0 3 K 17/687

B

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願2000-74144(P2000-74144)

(22) 出願日 平成12年3月16日 (2000.3.16)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 植田 展正

愛知県刈谷市昭和町1丁目1番地 株式会社
デンソー内

(74) 代理人 100082500

弁理士 足立 勉

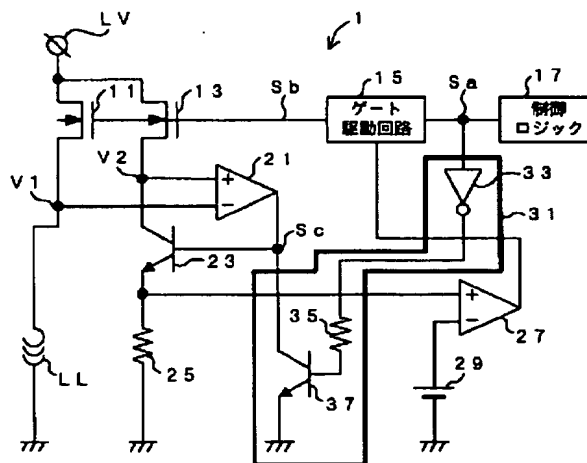
最終頁に続く

(54) 【発明の名称】 誘導性負荷駆動回路

(57) 【要約】

【課題】 誘導性負荷に供給する電流の過電流を検出する際に、フライバック電圧による誤検出を抑えることができ、また、過電流によるスイッチング手段の破損が発生し難い誘導性負荷駆動回路を提供する。

【解決手段】 誘導性負荷駆動回路1は、誘導性負荷Lを駆動制御する際に、制御ロジック17からの制御指令信号S_aがハイレベルの時には、第1トランジスタ11および第2トランジスタ13の各ソース電位(第1電位V₁と第2電位V₂)を比較すると共に、第2トランジスタ13に流れる電流に基づき第1トランジスタ11に流れる電流値を判定して、過電流を検出している。また、制御指令信号S_aがローレベルの時には、過電流検出停止回路31により、第2トランジスタ13を含む第2通電経路への通電が停止されて過電流検出が停止されるため、フライバック電圧による過電流の誤検出を抑えることができる。



【特許請求の範囲】

【請求項 1】 直流電源から誘導性負荷への第 1 通電経路に設けられ、制御端子に入力される駆動指令信号に基づき該第 1 通電経路を通電・遮断する第 1 スwitching 手段と、

前記誘導性負荷を駆動制御するための制御指令信号を出力する制御手段と、

該制御手段からの前記制御指令信号に応じて、前記第 1 スwitching 手段を駆動するための駆動指令信号を出力する駆動手段と、

前記直流電源からの電流を所定の負荷に供給する第 2 通電経路に設けられ、制御端子が前記第 1 スwitching 手段の制御端子に接続されて、第 1 スwitching 手段に比例した電流を流す第 2 スwitching 手段と、

前記第 1 スwitching 手段の電流出力端の第 1 電位と、前記第 2 スwitching 手段の電流出力端の第 2 電位とを比較し、該第 1 電位が該第 2 電位よりも低電位となると、前記第 1 スwitching 手段に流れる第 1 規定値より大きい過電流を検出する過電流検出手段と、

前記第 1 スwitching 手段に流れる過電流が検出されると、前記駆動手段による前記駆動指令信号の出力を停止させることにより、第 1 通電経路における通電を停止して前記第 1 スwitching 手段を保護する保護手段と、

を備えて、前記誘導性負荷を駆動するとともに過電流検出を行う誘導性負荷駆動回路であって、前記制御手段から前記制御指令信号が出力されないときには、前記過電流検出手段による過電流の検出を停止させる過電流検出停止手段、を備えたことを特徴とする誘導性負荷駆動回路。

【請求項 2】 前記第 1 スwitching 手段は、 n チャンネル型 MOSFET からなり、

前記第 2 スwitching 手段は、前記第 1 スwitching 手段が流す電流よりも小さい電流を流す n チャンネル型 MOSFET からなること、

を特徴とする請求項 1 に記載の誘導性負荷駆動回路。

【請求項 3】 前記第 2 通電経路における前記第 2 スwitching 手段よりも下流側に設けられて、前記過電流検出手段により過電流が検出されると前記第 2 通電経路の通電を行う第 3 スwitching 手段と、

前記第 2 通電経路に流れる電流を検出する第 2 電流検出手段と、が備えられ、

前記保護手段は、該第 2 電流検出手段により検出される電流が前記第 1 規定値に応じて設定された第 2 規定値を超えると、前記駆動手段による前記駆動指令信号の出力を停止させること、

を特徴とする請求項 1 または請求項 2 に記載の誘導性負荷駆動回路。

【請求項 4】 前記過電流検出手段は、前記第 1 スwitching 手段に流れる過電流を検出すると、過電流検出信号を出力するよう構成され、

前記過電流検出停止手段は、前記過電流検出手段よりも優先して前記過電流検出信号を制御することで、過電流の検出を停止すること、

を特徴とする請求項 1 から請求項 3 のいずれかに記載の誘導性負荷駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、モータやソレノイド等の誘導性負荷に電流を供給することで誘導性負荷を駆動するための誘導性負荷駆動回路であり、特に、過電流を検出する機能を備えた誘導性負荷駆動回路に関する。

【0002】

【従来の技術】従来より、高精度の電流制御や電流検出を行い、負荷に電力供給することで負荷を駆動する負荷駆動回路が知られている。そして、こうした負荷駆動回路には、負荷に通電する電流の過電流を検出する機能を備えたものがあり、例えば、負荷への通電経路を通電・遮断するパワー MOSFET 等からなる第 1 スwitching 手段と、この第 1 スwitching 手段よりも小さい電流を通電するパワー MOSFET 等からなる第 2 スwitching 手段とにより構成されるカレントミラー回路を用いて過電流を検出するものが挙げられる。なお、第 1 スwitching 手段および第 2 スwitching 手段は同一の駆動指令信号によって制御されており、第 2 スwitching 手段は、第 1 スwitching 手段に比例した電流（例えば、第 1 スwitching 手段：第 2 スwitching 手段 = 1000 : 1）を通電するよう構成されている。

【0003】このように構成された過電流検出機能を有する負荷駆動回路では、例えば、負荷においてグラウンドショート（接地短絡）などの異常が発生して、第 1 スwitching 手段に過電流が流れた場合、第 2 スwitching 手段の電流は、第 1 スwitching 手段の過電流の例えば 1000 分の 1（ $1/1000$ ）となり、その電流を抵抗等に流して異常を検出する。

【0004】他方、こうした負荷駆動回路には、例えば、モータやソレノイドなどの誘導性負荷を駆動制御（PWM（Pulse Width Modulation）制御など）するための誘導性負荷駆動回路がある。そして、誘導性負荷は、通電される電流が急峻に変動すると、その両端にフライバック電圧（逆起電力）が瞬時的に発生するという特性がある。つまり、誘導性負荷のインダクタンス（例えば、数 10 [mH] 程度）を L とすると、誘導性負荷の両端には、単位時間あたりの電流の変化割合に比例した電圧 $V (= -L (di/dt))$ が発生するのである。

【0005】このため、駆動指令信号に基づき第 1 スwitching 手段がターンオフして誘導性負荷への通電を停止する際に、通電停止によって瞬時的に誘導性負荷の両端にフライバック電圧が発生して、第 1 電位 V_1 がグラ

ンド電位(0[V])よりも低下することがある。このとき、第2スイッチング手段についても、駆動指令信号に基づきオフ状態となるが、第2電位V2はグラウンド電位よりも低下しないことから、第1電位V1が第2電位V2よりも低い状態となり、検出抵抗に大電流が流れ、誤って過電流を検出することになる。

【0006】こうした問題に対して、過電流の検出を一定時間遅延させるフィルタを設けることで、過電流の誤検出を防ぐよう構成された誘導性負荷駆動回路があり、図2に概略構成を示す。図2に示す誘導性負荷駆動回路1aは、nチャネル型パワーMOSFETからなる第1トランジスタ51に流れる第1規定値より大きい過電流を検出するものである。

【0007】そして、第1トランジスタ51は、ゲート駆動回路55から出力される駆動指令信号Sbに基づいて、図示しない直流電源からの出力(電源電圧)Vcが供給された電源ラインLVからの電流を誘導性負荷LLに供給するための第1通電経路を通電・遮断する。なお、ゲート駆動回路55は、制御ロジック57が出力する制御指令信号Saに応じて駆動指令信号Sbを出力しており、また、制御ロジック57は、誘導性負荷LLの電流制御を行うために、制御指令信号Saを出力している。

【0008】そして、第1トランジスタ51の電流出力端の第1電位V1が、nチャネル型パワーMOSFETからなる第2トランジスタ53の電流出力端の第2電位V2よりも低下すると、第1コンパレータ61の出力信号がハイレベルとなりnpn型トランジスタからなる第3トランジスタ63が駆動される。これにより、第2トランジスタ53、第3トランジスタ63および抵抗65からなる第2通電経路に電流が流れ、この電流によって抵抗65の両端に生じる電位差が、過電流判定のために設定された定電圧電源69の出力電圧を上回ると、第2コンパレータ67の出力信号がハイレベルとなる。そして、第2コンパレータ67の出力信号はフィルタ71を介してゲート駆動回路55に入力されており、ゲート駆動回路55は、ハイレベルの信号が入力されると駆動指令信号Sbの出力を停止する。これにより、第1通電経路における通電が停止されて、第1トランジスタ51が過電流から保護される。

【0009】このとき、フィルタ71は、第2コンパレータ67の出力信号が入力してから一定期間(例えば、数μ秒〜10数μ秒)が経過すると、ゲート駆動回路55に対して出力信号を出力するように構成されている。つまり、図2に示す過電流検出機能を備えた誘導性負荷駆動回路は、フィルタ71を設けて過電流の検出時期を遅延することで、瞬時的に発生する電圧変動では過電流と判定しないように構成されている。このため、誘導性負荷のフライバック電圧により発生する瞬時的な電圧変動が原因となって、誤って過電流と判定するのを防

ぐことができる。

【0010】

【発明が解決しようとする課題】しかしながら、図2に示すような従来の誘導性負荷駆動回路では、第2コンパレータ67の出力信号がフィルタ71により遅延される遅延期間においては、通電経路に過電流が流れることになり、この過電流によって第1トランジスタ(第1スイッチング手段)51が破損する虞がある。

【0011】ここで、第1スイッチング手段として用いられる半導体素子(パワーMOSFET等)は、通電可能な電流の容量が大きいものほど高価になるため、コスト的に優れた負荷駆動回路を実現するには、第1スイッチング手段として容量が小さい半導体素子を用いることが望ましい。このため、実際の誘導性負荷駆動回路においては、スイッチング手段として、負荷の定格電流よりも僅かに大きい容量の半導体素子を用いることが多い。

【0012】そして、このように定格電流に対して余裕の少ないスイッチング手段を用いた誘導性負荷駆動回路において過電流検出を行うにあたり、信号出力の遅延処理を行うようにすると、遅延期間中に流れる過電流によってスイッチング手段が破損する可能性が高くなってしまふ。

【0013】本発明は、こうした問題に鑑みなされたものであり、モータやソレノイド等の誘導性負荷に供給する電流の過電流を検出する際に、フライバック電圧による誤検出を抑えて正確に過電流を検出することができ、また、過電流によるスイッチング手段の破損が発生し難い誘導性負荷駆動回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明(請求項1)の誘導性負荷駆動回路によれば、誘導性負荷への通電停止により発生するフライバック電圧によって、誤って過電流と判定することが無くなり、正確に過電流を検出することができる。また、過電流検出時の対応処理を迅速に実施でき、第1スイッチング手段を過電流から保護できるため、過電流による第1スイッチング手段の破損が発生し難くなる。

【0015】なお、制御指令信号が出力されない時には、第1スイッチング手段はオフ状態となり電流が流れないことから、第1通電経路に過電流が流れることはないため、過電流検出を停止することによる問題は無い。ここで、上述の誘導性負荷駆動回路におけるスイッチング手段としては、例えば、バイポーラトランジスタや電解効果トランジスタ(FET)などを用いることができるが、請求項2に記載のように、nチャネル型MOSFETからなる第1スイッチング手段と、第1スイッチング手段が流す電流よりも小さい電流を流すnチャネル型MOSFETからなる第2スイッチング手段とを用いるとよい。

【0016】つまり、MOSFETは、バイポーラトラ

ンジスタに比べて通電経路における抵抗が小さく、高速スイッチングが可能であることから、大電流のスイッチング特性に優れており、直流電源から負荷への通電経路の通電・遮断を行うのに適している。また、MOSFETは、キャリアの種類（正孔または電子）によりnチャネル型とpチャネル型とに分かれるが、nチャネル型はpチャネル型に比べて安価であるため、nチャネル型MOSFETを用いた負荷駆動回路は低コストで実現できる。

【0017】また、1つの指令信号（駆動指令信号）により、第1スイッチング手段および第2スイッチング手段をそれぞれ同時に駆動制御することができるため、第1電位と第2電位との比較により過電流の検出が可能となる。また、第1通電経路に流れる電流に比例した電流を、第2通電経路に流すことが可能となり、さらに、このとき第2通電経路に流れる電流は小さいことから、過電流検出を行うに際しての電力消費量が小さくなる。

【0018】次に、上述の誘導性負荷駆動回路は、請求項3の記載によれば、第2スイッチング手段に流れる電流は、第1スイッチング手段に流れる電流に比例することから、第2通電経路には、第1通電経路に比例した電流が流れる。そして、第1通電経路に第1規定値を超える過電流が流れる際には、第2通電経路に流れる電流は、第1規定値に応じて設定された第2規定値を超えることになり、第2通電経路に流れる電流に基づいて第1通電経路における過電流を検出することができる。

【0019】このように、第1電位と第2電位との比較に加えて、第2通電経路に流れる電流に基づき第1通電経路における電流値を判定して過電流を検出することで、第1電位と第2電位との比較のみによる過電流検出に比べて、より正確に過電流を検出することができる。

【0020】よって、本発明（請求項3）によれば、第1通電経路における過電流をより正確に検出することができるため、第1スイッチング手段をより確実に保護することが可能となる。また、本発明（請求項4）の誘導性負荷駆動回路によれば、過電流検出手段を新規に開発すること無く、過電流検出停止手段を追設することで、フライバック電圧による影響を抑えることができることから、過電流の誤検出を抑えられる誘導性負荷駆動回路を低コストで実現できる。

【0021】

【発明の実施の形態】以下に、本発明の実施例を図面と共に説明する。図1は、誘導性負荷の駆動制御を行うための誘導性負荷駆動回路の概略構成図であり、本誘導性負荷駆動回路は、過電流検出機能を備えている。

【0022】図1に示すように、本実施例の誘導性負荷駆動回路は、図示しない直流電源からの出力（例えば、電源電圧 V_c ）が供給された電源ラインLVからの電流を誘導性負荷LLに供給するための第1通電経路を通電・遮断するnチャネル型パワーMOSFET

からなる第1トランジスタ11と、電源ラインLVからの電流を抵抗25に供給する第2通電経路を通電・遮断するnチャネル型パワーMOSFETからなる第2トランジスタ13と、第1トランジスタ11および第2トランジスタ13を駆動するための駆動指令信号Sbを出力するゲート駆動回路15と、誘導性負荷LLを駆動制御するための制御指令信号Saを出力する制御ロジック17と、を備えている。

【0023】そして、制御ロジック17は、CMOSトランジスタを用いたプロセスを使用したマイコンで構成され、図示しない電源装置（例えば、出力電圧5

[V]）からの電力供給により動作しており、複雑な制御処理を実施して誘導性負荷LLを制御するための制御指令信号Saを出力している。

【0024】また、ゲート駆動回路15は、チャージポンプを備えており、制御ロジック17から出力される制御指令信号Saに応じて、第1トランジスタ11および第2トランジスタ13を駆動可能な駆動指令信号Sbを出力する。つまり、ゲート駆動回路15は、低電位の信号（制御指令信号Sa）を高電位の信号（駆動指令信号Sb）に変換する回路であり、制御指令信号Saに応じて、制御指令信号Saよりも高電位の駆動指令信号Sbを出力する。

【0025】さらに、第1トランジスタ11は、ゲートがゲート駆動回路15における駆動指令信号Sbの出力端子に接続され、ドレインが電源ラインLVに接続され、ソースが誘導性負荷LLに接続されている。そして、駆動指令信号Sbがハイレベルとなると、第1トランジスタ11はオン状態となり、電源ラインLVから誘導性負荷LLへの第1通電経路に電流が流れる。

【0026】よって、本誘導性負荷駆動回路1では、制御ロジック17が制御指令信号Saをハイレベルとすると、ゲート駆動回路15が駆動指令信号Sbをハイレベルとし、これにより、第1トランジスタ11がオン状態となることで、第1通電経路を通じて電源ラインLVから誘導性負荷LLへの電力供給が行われる。

【0027】また、第2トランジスタ13は、ゲートがゲート駆動回路15における駆動指令信号Sbの出力端子に接続され、ドレインが電源ラインLVに接続されており、駆動指令信号Sbがハイレベルとなるとオン状態となり、また、第1トランジスタ11に比例した小さい電流を流すよう構成されている。

【0028】そして、本誘導性負荷駆動回路1は、上記構成に加えて、第1トランジスタ11のソースに反転入力端子（-）が接続され、第2トランジスタ13のソースに非反転入力端子（+）が接続された第1比較器（以下、第1コンパレータという）21と、第2トランジスタ13のソースにコレクタが接続されるとともに、第1コンパレータ21の出力端子にベースが接続されたnpn型トランジスタからなる第3トランジスタ23と、第

3トランジスタ23のエミッタに一端が接続され、他端が接地された抵抗25と、第3トランジスタ23のエミッタと抵抗25との接続点に非反転入力端子(+)が接続され、ゲート駆動回路15に出力端子が接続された第2比較器(以下、第2コンパレータという)27と、第2コンパレータ27の反転入力端子(-)に正極が接続され、負極が接地された定電圧電源29と、を備えている。

【0029】そして、第1トランジスタ11のソースの電位(以下、第1電位という)V1が、第2トランジスタ13のソースの電位(以下、第2電位という)V2よりも低下すると、第1コンパレータ21が出力する出力信号Scがハイレベルとなり、第3トランジスタ23がオン状態となる。すると、電源ラインLVから第2トランジスタ13、第3トランジスタ23、抵抗25を介してグラウンド(接地)に通じる第2通電経路に電流が流れる。

【0030】ここで、例えば、誘導性負荷LLにおいてグラウンドショート(接地短絡)などの異常が発生すると、第1トランジスタ11に過電流が流れるとともに、第1電位V1はグラウンド電位(0[V])となるため、第1電位V1が第2電位V2よりも低下する。このため、第1コンパレータ21は、第1電位V1と第2電位V2とを比較することで、第1通電経路における過電流を検出している。

【0031】そして、第1通電経路に過電流が流れると、第1コンパレータ21が第3トランジスタ23を駆動することにより、第2通電経路に電流が流れることになり、このとき第2通電経路に流れる電流は、第1通電経路に流れる電流に比例した大きさとなる。また、抵抗25の両端には、第2通電経路に流れる電流に比例する電位差が発生するため、抵抗25の両端電圧は、第1通電経路に流れる電流に比例した大きくなる。

【0032】このとき、定電圧電源29は、抵抗25の抵抗値と、第2通電経路における電流の第2規定値との乗算により得られる電圧値と等しい電圧を出力する定電圧電源にて構成されている。なお、第2規定値は、第1通電経路にて第1規定値と等しい電流が流れる際に第2通電経路に流れる電流値である。また、第1規定値は、第1トランジスタ11に流れる電流における過電流の指標であり、第1規定値よりも大きい電流が過電流である。

【0033】そして、第2コンパレータ27は、抵抗25の両端電圧が定電圧電源29の出力電圧より大きくなると、ハイレベルの信号をゲート駆動回路15に対して出力する。つまり、第2コンパレータ27は、第2通電経路を流れる電流に基づき第1通電経路に流れる電流を検出し、第1通電経路に流れる電流が第1規定値よりも大きくなることで、過電流を検出したことをゲート駆動回路15に通知するのである。

【0034】よって、本誘導性負荷駆動回路1は、第1コンパレータ21が、第1電位V1と第2電位V2とを比較すると共に、さらに、第2コンパレータ27が第2通電経路に流れる電流に基づき第1通電経路に流れる電流を検出することで、第1トランジスタ11に流れる過電流を検出している。

【0035】このように、各トランジスタの電流出力端における電位の比較だけではなく、第1通電経路に流れる電流を検出して過電流を判定することにより、より精度良く過電流を検出することが可能となる。また、第1コンパレータ21が第3トランジスタ23を駆動するときのみ第2通電経路に電流を流すことから、常に第2通電経路に電流を流す場合に比べて、過電流検出に必要な電力消費量を抑えることができる。

【0036】そして、第2コンパレータ27からの信号が入力されたゲート駆動回路15は、制御指令信号Saの状態に拘わらず、駆動指令信号Sbの出力を停止してローレベルとし、第1トランジスタ11をオフ状態にする。これにより、第1通電経路における通電が停止されて、第1トランジスタ11は過電流から保護される。

【0037】さらに、本誘導性負荷駆動回路1は、制御指令信号Saに基づき過電流検出を停止させる過電流検出停止回路31が備えられている。そして、この過電流検出停止回路31は、信号レベルを反転させるインバータ回路33と、抵抗35と、npn型トランジスタからなる検出停止用トランジスタ37とを備えている。

【0038】まず、インバータ回路33は、入力端子へ入力される入力信号がハイレベル(例えば、電位5[V])の場合にはローレベル(例えば、グラウンド電位0[V])の信号を出力し、入力信号がローレベルの場合には、ハイレベルの信号を出力するよう構成されている。そして、インバータ回路33は、入力端子が、制御ロジック17における制御指令信号Saの出力端子に接続されている。

【0039】また、検出停止用トランジスタ37は、ベースが抵抗35を介してインバータ回路33の出力端子と接続され、コレクタが第3トランジスタ23のベースに接続され、エミッタが接地されている。このため、過電流検出停止回路31では、制御指令信号Saがローレベルの場合には、インバータ回路33の出力信号がハイレベルとなり、検出停止用トランジスタ37がオン状態となる。これにより、第3トランジスタ23のベース電位はローレベルに維持されることになり、第1コンパレータ21の動作に拘わらず、第3トランジスタ23は強制的にオフ状態に維持される。このため、第2通電経路に電流が流れることが無くなり、第2コンパレータ27がハイレベルの信号を出力することはない。

【0040】また、制御指令信号Saがハイレベルの場合には、インバータ回路33の出力信号がローレベルとなり、検出停止用トランジスタ37がオフ状態となる。

これにより、第3トランジスタ23のベース電位は第1コンパレータ21により決定されることになり、第1コンパレータ21が過電流を検出すると第3トランジスタ23はオン状態となり第2通電経路に電流が流れる。

【0041】よって、過電流検出停止回路31は、制御指令信号S_aがローレベルとなる時には、第3トランジスタ23を強制的にオフ状態にすることで、第2コンパレータ27による過電流の検出を停止させる。したがって、本誘導性負荷駆動回路1においては、誘導性負荷L_Lの駆動制御において通電を停止した際に発生するフライバック電圧（逆起電力）によって第1電位V₁が第2電位V₂よりも低電位となり、第1コンパレータ21が過電流を検出しても、過電流検出停止回路31の動作により第2コンパレータ27が過電流を検出することが無くなるため、フライバック電圧による過電流の誤検出を防ぐことができる。

【0042】なお、本実施例においては、制御ロジック17が特許請求の範囲における制御手段に相当し、ゲート駆動回路15が駆動手段に相当し、第1トランジスタ11が第1スイッチング手段に相当し、第1トランジスタ11のゲートが第1スイッチング手段の制御端子に相当し、第2トランジスタ13が第2スイッチング手段に相当し、第2トランジスタ13のゲートが第2スイッチング手段の制御端子に相当し、第1コンパレータ21が過電流検出手段に相当し、第2コンパレータ27および定電圧電源29が保護手段に相当し、過電流検出停止回路31が過電流検出停止手段に相当し、第3トランジスタ23が第3スイッチング手段に相当し、抵抗25が第2電流検出手段に相当し、第1コンパレータ21の出力信号S_cが過電流検出信号に相当する。

【0043】以上説明したように、本実施例の誘導性負荷駆動回路1によれば、制御指令信号S_aが出力されないときには過電流検出を行わないことから、誘導性負荷L_Lへの通電停止により発生するフライバック電圧によって、誤って過電流と判定することが無くなり、正確に過電流を検出することができる。また、過電流検出時における第1通電経路の通電停止処理を迅速に実行でき、第1トランジスタを過電流から保護できるため、過電流による第1トランジスタの破損が発生し難くなる。

【0044】なお、制御指令信号S_aが出力されない時には、第1トランジスタ11はオフ状態となり電流が流れないことから、第1通電経路に過電流が流れることはないため、過電流検出を停止しても問題はない。また、誘導性負荷L_Lへの通電開始時に発生するフライバック電圧については、ゲート駆動回路15がチャージポンプを用いて駆動指令信号S_bを生成することから、駆動指令信号S_bの立ち上がり速度が比較的遅いため、フライバック電圧は小さくなり過電流検出に対する影響はない。

【0045】また、本実施例の誘導性負荷駆動回路によ

れば、駆動指令信号S_bによって第1トランジスタ11および第2トランジスタ13をそれぞれ同時に駆動制御することができるため、第1電位V₁と第2電位V₂との比較により過電流の検出が可能となる。また、第2通電経路に流れる電流が小さい電流であることから、過電流検出を行うに際しての電力消費量を抑えることができる。

【0046】さらに、第1電位V₁と第2電位V₂との比較に加えて、第2通電経路に流れる電流に基づき第1通電経路における電流値を判定して過電流を検出するため、第1電位と第2電位との比較のみによる過電流検出に比べて、より正確に過電流を検出することができる。

【0047】また、本実施例の誘導性負荷駆動回路は、従来から使用されている第1コンパレータ21をそのまま用いることができ、また、従来の誘導性負荷駆動回路に過電流検出停止回路31を追加することで容易に実現することができるため、過電流の誤検出を抑えられる誘導性負荷駆動回路を低コストで実現できる。

【0048】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定されるものではなく、種々の態様を採ることができる。例えば、制御ロジック17へ電力供給する電源装置の出力電圧は、5[V]に限ることはなく、制御ロジック17を駆動可能な電圧値であればよい。また、電源ラインL_Vに供給される電源電圧も、12[V]に限ることはなく、誘導性負荷L_Lに応じた電圧値であればよい。

【0049】そして、過電流検出の停止方法については、例えば、第1コンパレータ21と第3トランジスタ23とを接続する信号経路を開放・短絡する信号遮断用スイッチング手段を設けて、過電流検出停止回路31が、信号遮断用スイッチング手段のオン・オフ状態を制御するように構成してもよい。

【0050】さらに、上記実施例では、第1トランジスタおよび第2トランジスタとしてnチャネル型MOSFETを用いた負荷駆動回路について説明したが、これらのトランジスタは、pチャネル型MOSFETを用いて構成しても良く、また、バイポーラトランジスタを用いても良い。さらに、上記実施例では、第1トランジスタおよび第2トランジスタが、通電経路において負荷よりも高電位側に設けられたハイサイドスイッチとして備えられているが、これらトランジスタがローサイドスイッチとして備えられた負荷駆動回路に本発明を適用することもできる。

【図面の簡単な説明】

【図1】 実施例の誘導性負荷駆動回路の概略構成図である。

【図2】 従来の誘導性負荷駆動回路の概略構成図である。

【符号の説明】

1…誘導性負荷駆動回路、11…第1トランジスタ、1

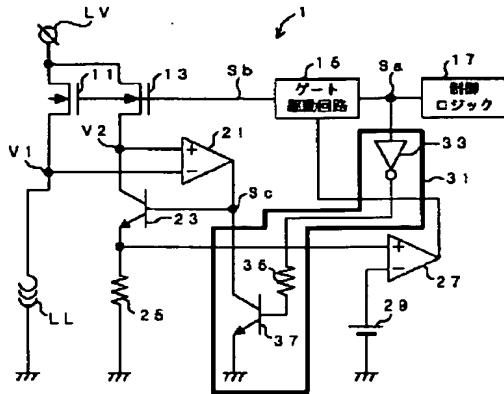
11

3…第2トランジスタ、15…ゲート駆動回路、17…制御ロジック、21…第1コンパレータ、23…第3トランジスタ、25…抵抗、27…第2コンパレータ、2*

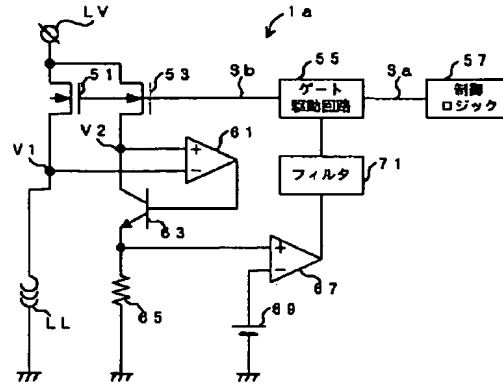
12

*9…定電圧電源、31…過電流検出停止回路、33…インバータ回路、35…抵抗、37…検出停止用トランジスタ、LL…誘導性負荷、LV…電源ライン。

【図1】



【図2】



フロントページの続き

Fターム(参考) 5H740 BA12 BB07 BB10 MM11
 5J055 AX21 AX25 AX34 AX64 BX16
 CX13 CX20 DX13 DX22 DX53
 DX54 DX73 DX83 EX01 EX02
 EX24 EY01 EY17 EZ07 EZ10
 EZ39 EZ51 EZ55 FX04 FX13
 FX18 FX32 FX38 GX01

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267898

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

H03K 17/08

H02M 1/00

H03K 17/695

(21)Application number : 2000-074144

(71)Applicant : DENSO CORP

(22)Date of filing : 16.03.2000

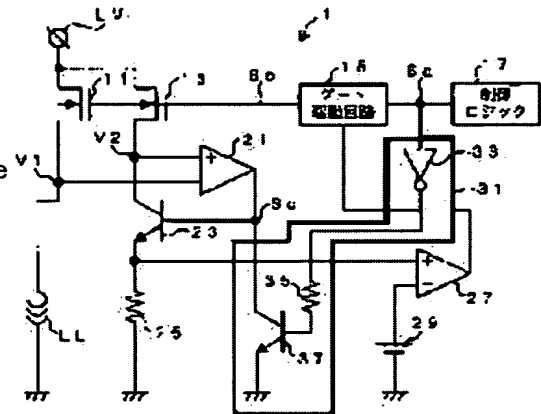
(72)Inventor : UEDA NOBUTADA

(54) INDUCTIVE LOAD DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inductive load driving circuit which can suppress erroneous detection by a fly back voltage when detecting the overcurrent of a current supplied to an inductive load and in which the damage of a switching means due to overcurrent is difficult to occur.

SOLUTION: An inductive load driving circuit 1, when controlling the drive of an inductive load L, compares the respective source potential (first potential V1 and second potential V2) of a first transistor 11 and a second transistor 13, judges the value of a current flowing in the first transistor 11 based on a current flowing in the second transistor 13 and detects overcurrent when the control command signal Sa from a control logic 17 is in a high level. When the control command signal Sa is in a low level, an overcurrent detection stop circuit 31 stops power supply to a second conduction route including the second transistor 13 and the detection of overcurrent is stopped. Thus, the erroneous detection of overcurrent by the fly back voltage can be suppressed.



LEGAL STATUS

[Date of request for examination] 04.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3596415

[Date of registration] 17.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office